

XP0431N

シリコンNPNエピタキシャルプレーナ形(Tr1部)
シリコンPNPエピタキシャルプレーナ形(Tr2部)

デジタル回路用

■ 特長

- 1パッケージに2素子内蔵(抵抗内蔵トランジスタ)
- 実装面積とアセンブリコストの半減が可能

■ 基本品種

- UNR221N + UNR211N

■ 絶対最大定格 $T_a = 25^\circ\text{C}$

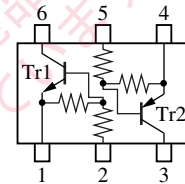
項目	記号	定格	単位
Tr1	コレクタ・ベース間電圧 (E開放時)	V_{CBO}	50 V
	コレクタ・エミッタ間 電圧(B開放時)	V_{CEO}	50 V
	コレクタ電流	I_{C}	100 mA
Tr2	コレクタ・ベース間電圧 (E開放時)	V_{CBO}	-50 V
	コレクタ・エミッタ間 電圧(B開放時)	V_{CEO}	-50 V
	コレクタ電流	I_{C}	-100 mA
総合	全許容損失	P_{T}	150 mW
	接合温度	T_{j}	150 $^\circ\text{C}$
	保存温度	T_{stg}	-55 to +150 $^\circ\text{C}$

■ パッケージ

- コード
SMini6-G1
- 端子名
1: Emitter (Tr1) 4: Emitter (Tr2)
2: Base (Tr1) 5: Base (Tr2)
3: Collector (Tr2) 6: Collector (Tr1)

■ 品名表示記号: HC

■ 内部接続図



■ 電気的特性 $T_a = 25^\circ\text{C} \pm 3^\circ\text{C}$

• Tr1部

項目	記号	条件	最小	標準	最大	単位
コレクタ・ベース間電圧(E開放時)	V_{CBO}	$I_C = 10 \mu\text{A}, I_E = 0$	50			V
コレクタ・エミッタ間電圧(B開放時)	V_{CEO}	$I_C = 2 \text{mA}, I_B = 0$	50			V
コレクタ・ベース間遮断電流(E開放時)	I_{CBO}	$V_{CB} = 50 \text{V}, I_E = 0$			0.1	μA
コレクタ・エミッタ間遮断電流(B開放時)	I_{CEO}	$V_{CE} = 50 \text{V}, I_B = 0$			0.5	μA
エミッタ・ベース間遮断電流(C開放時)	I_{EBO}	$V_{EB} = 6 \text{V}, I_C = 0$			0.2	mA
直流電流増幅率	h_{FE}	$V_{CE} = 10 \text{V}, I_C = 5 \text{mA}$	80		400	—
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	$I_C = 10 \text{mA}, I_B = 0.3 \text{mA}$			0.25	V
出力電圧ハイレベル	V_{OH}	$V_{CC} = 5 \text{V}, V_B = 0.5 \text{V}, R_L = 1 \text{k}\Omega$	4.9			V
出力電圧ローレベル	V_{OL}	$V_{CC} = 5 \text{V}, V_B = 2.5 \text{V}, R_L = 1 \text{k}\Omega$			0.2	V
入力抵抗	R_1		-30%	4.7	+30%	$\text{k}\Omega$
抵抗比率	R_1 / R_2			0.1		—
トランジション周波数	f_T	$V_{CB} = 10 \text{V}, I_E = -2 \text{mA}, f = 200 \text{MHz}$		150		MHz

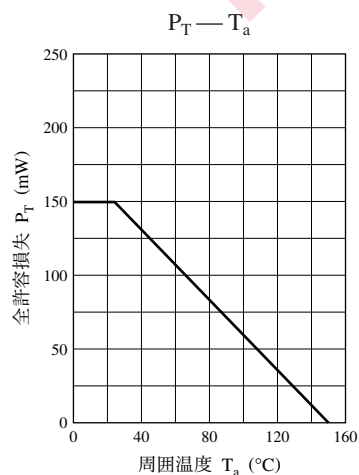
注) 測定方法は、日本工業規格 JIS C 7030 トランジスタ測定方法によります。

• Tr2部

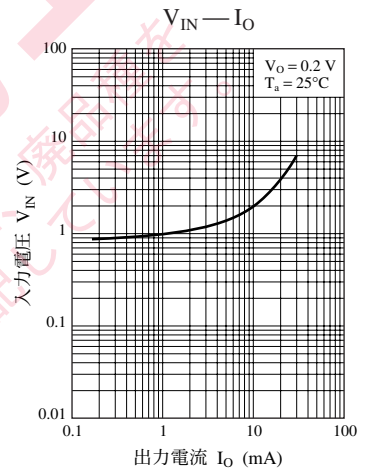
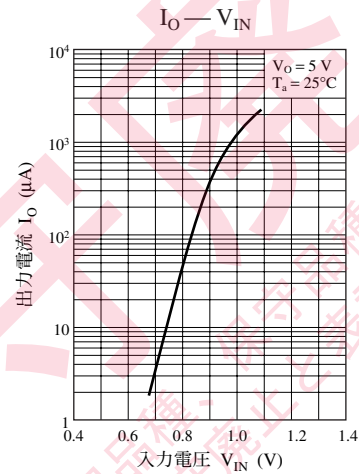
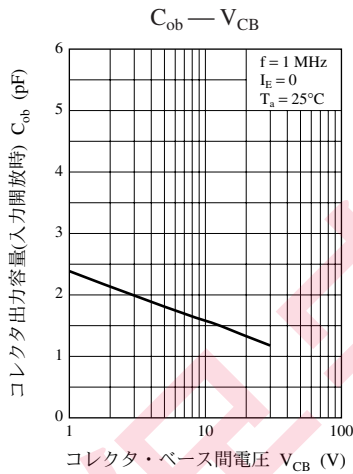
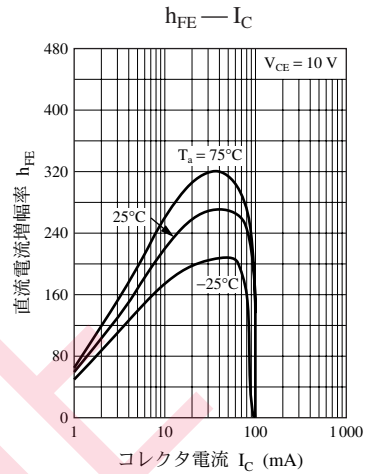
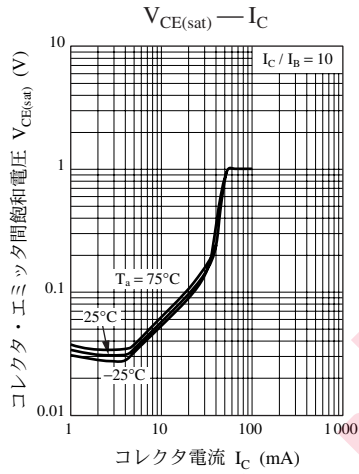
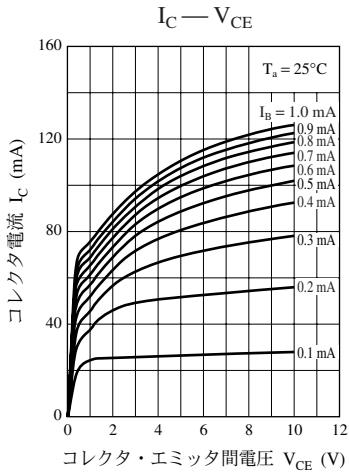
項目	記号	条件	最小	標準	最大	単位
コレクタ・ベース間電圧(E開放時)	V_{CBO}	$I_C = -10 \mu\text{A}, I_E = 0$	-50			V
コレクタ・エミッタ間電圧(B開放時)	V_{CEO}	$I_C = -2 \text{mA}, I_B = 0$	-50			V
コレクタ・ベース間遮断電流(E開放時)	I_{CBO}	$V_{CB} = -50 \text{V}, I_E = 0$			-0.1	μA
コレクタ・エミッタ間遮断電流(B開放時)	I_{CEO}	$V_{CE} = -50 \text{V}, I_B = 0$			-0.5	μA
エミッタ・ベース間遮断電流(C開放時)	I_{EBO}	$V_{EB} = -6 \text{V}, I_C = 0$			-0.2	mA
直流電流増幅率	h_{FE}	$V_{CE} = -10 \text{V}, I_C = -5 \text{mA}$	80		400	—
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	$I_C = -10 \text{mA}, I_B = -0.3 \text{mA}$			-0.25	V
出力電圧ハイレベル	V_{OH}	$V_{CC} = -5 \text{V}, V_B = -0.5 \text{V}, R_L = 1 \text{k}\Omega$	-4.9			V
出力電圧ローレベル	V_{OL}	$V_{CC} = -5 \text{V}, V_B = -2.5 \text{V}, R_L = 1 \text{k}\Omega$			-0.2	V
入力抵抗	R_1		-30%	4.7	+30%	$\text{k}\Omega$
抵抗比率	R_1 / R_2			0.1		—
トランジション周波数	f_T	$V_{CB} = -10 \text{V}, I_E = 1 \text{mA}, f = 200 \text{MHz}$		80		MHz

注) 測定方法は、日本工業規格 JIS C 7030 トランジスタ測定方法によります。

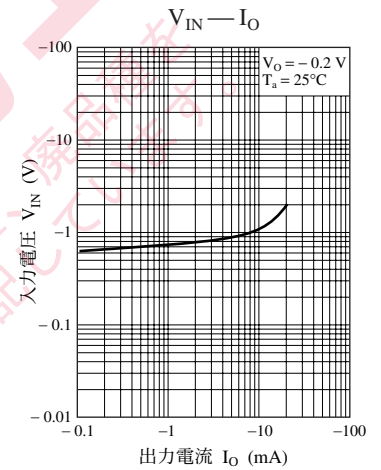
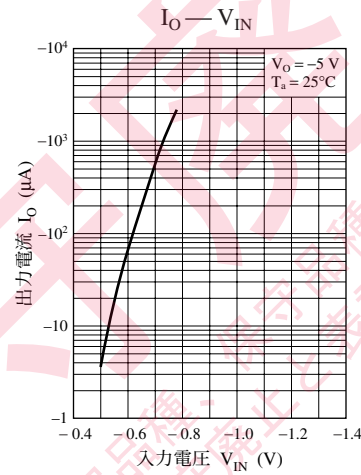
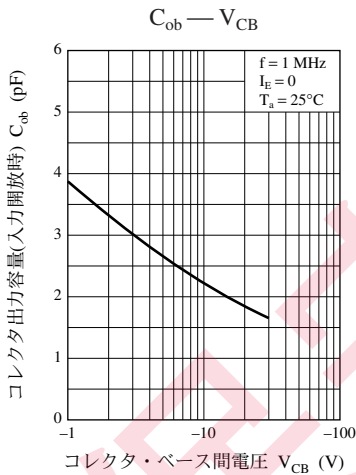
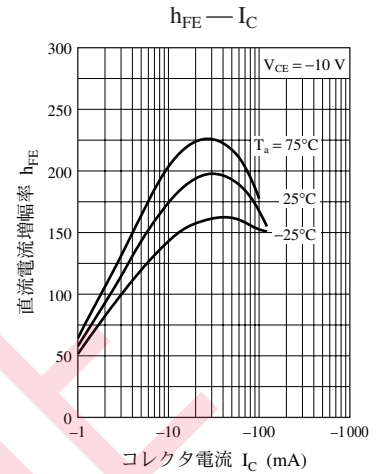
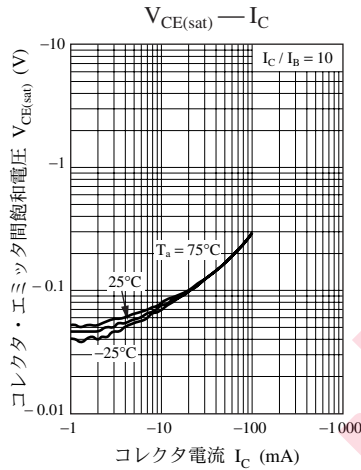
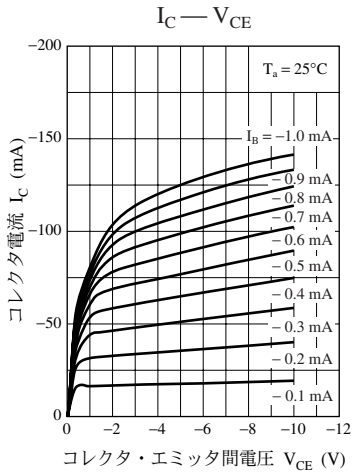
共通特性図



Tr1 部特性図



Tr2部特性図



本書に記載の技術情報および半導体のご使用にあたってのお願いと注意事項

- (1) 本書に記載の製品および技術情報を輸出または非居住者に提供する場合は、当該国における法令、特に安全保障輸出管理に関する法令を遵守してください。
- (2) 本書に記載の技術情報は、製品の代表特性および応用回路例などを示したものであり、それをもってパナソニック株式会社または他社の知的財産権もしくはその他の権利の許諾を意味するものではありません。したがって、上記技術情報のご使用に起因して第三者所有の権利にかかわる問題が発生した場合、当社はその責任を負うものではありません。
- (3) 本書に記載の製品は、標準用途 — 一般電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されることを意図しております。
特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途 — 特定用途(航空・宇宙用、交通機器、燃焼機器、生命維持装置、安全装置など)にご使用をお考えのお客様および当社が意図した標準用途以外にご使用をお考えのお客様は、事前に当社営業窓口までご相談願います。
- (4) 本書に記載の製品および製品仕様は、改良などのために予告なく変更する場合がありますのでご了承ください。したがって、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格書または仕様書をお求め願ひ、ご確認ください。
- (5) 設計に際しては、絶対最大定格、動作保証条件(動作電源電圧、動作環境等)の範囲内でご使用いただきますようお願いいたします。特に絶対最大定格に対しては、電源投入および遮断時、各種モード切替時などの過渡状態においても、超えることのないように十分なご検討をお願いいたします。保証値を超えてご使用された場合、その後に発生した機器の故障、欠陥については当社として責任を負いません。
また、保証値内のご使用であっても、半導体製品について通常予測される故障発生率、故障モードをご考慮の上、当社製品の動作が原因でご使用機器が人身事故、火災事故、社会的な損害などを生じさせない冗長設計、延焼対策設計、誤動作防止設計などのシステム上の対策を講じていただきますようお願いいたします。
- (6) 製品取扱い時、実装時およびお客様の工程内における外的要因(ESD、EOS、熱的ストレス、機械的ストレス)による故障や特性変動を防止するために、使用上の注意事項の記載内容を守ってご使用ください。
また、防湿包装を必要とする製品は、保存期間、開封後の放置時間など、個々の仕様書取り交わしの折に決めた条件を守ってご使用ください。
- (7) 本書の一部または全部を当社の文書による承諾なしに、転載または複製することを堅くお断りいたします。