

半導体事業譲渡に伴うお知らせ

パナソニック株式会社の半導体事業は、2020年9月1日にNuvoton Technology Corporation（以下、Nuvoton）へ譲渡され、パナソニック セミコンダクターソリューションズ株式会社は、ヌヴォトン テクノロジージャパン株式会社（以下、NTCJ）としてNuvotonグループの会社となりました。

これに伴い、2020年9月1日以降、半導体商品はNTCJ製となりますが、引き続き、パナソニック株式会社を通じた販売を継続いたします。

本ドキュメントにつきましては、製造元であるNTCJが発行しています。

本文中にパナソニック/パナソニック セミコンダクターソリューションズの記述がございましたら、NTCJに読み替えてご使用ください。

※ “本書に記載の技術情報および半導体のご使用にあたってのお願いと注意事項”を除く

ヌヴォトン テクノロジージャパン株式会社

1.1 製品概要

1.1.1 概要

MN103Sシリーズは、C言語によるプログラム開発を指向した使いやすさとコストパフォーマンスを追求したシンプルで高性能なアーキテクチャを持つ32ビットマイクロコントローラです。

本LSIは、基本命令語長を1バイトとしたコンパクト32ビットCPUを中心に、命令/データ用の内蔵メモリ、クロックジェネレータ、バスコントローラ、割込みコントローラ、ウォッチドッグタイマと、タイマ/シリアルインタフェースなどの標準的な周辺回路、3相モータを制御するのに最適なPWM回路、またモータの位置検出のためのADコンバータなどを集積しています。MN103Sシリーズの高速なCPUと豊富な周辺機能によって、従来のマイクロコントローラでは実現が不可能な高速性が要求されるモータ制御や電源制御に対して、低コストかつ高性能/高機能なシステムLSIを容易に開発することができます。

1.1.2 製品一覧

本マニュアルでは、以下に示す品種について説明しています。

表 1.1.1 製品一覧

品種	ROM容量	RAM容量	種別
MN103SFM8K	256 KB	8 KB	フラッシュ EEPROM版

1.2 ハードウェアの機能

CPUコア	MN103Sコア 4GBのアドレス空間(命令/データ共用) LOAD-STOREアーキテクチャ(5段パイプライン) 基本命令数 46 + 拡張命令数 4 アドレッシングモード数 6 基本語調を1バイトとする命令セット マシンサイクル 16.7 ns(発振周波数10MHz、6逓倍時) 動作モード NORMALモード
発振回路	1系統 外部高速発振(水晶/セラミック)
クロック逓倍回路	外部高速発振の4、6、8逓倍のクロックを生成可能
動作電圧	3.6 V ~ 5.5 V
動作保障温度	-40 ~ 85
内蔵メモリ	ROM 256 Kバイト RAM 8 Kバイト
割込み機能	ノンマスカブル割込み ウォッチドッグタイマオーバフロー割込み システムエラー割込み 内部割込み(レベル割込み) 47要因 <タイマ割込み> タイマ0アンダフロー割込み タイマ1アンダフロー割込み タイマ2アンダフロー割込み タイマ3アンダフロー割込み タイマ4アンダフロー割込み タイマ5アンダフロー割込み タイマ6アンダフロー割込み タイマ7アンダフロー割込み タイマ8オーバフロー /アンダフロー割込み タイマ8コンペアキャプチャ A割込み タイマ8コンペアキャプチャ B割込み タイマ9オーバフロー /アンダフロー割込み タイマ9コンペアキャプチャ A割込み タイマ9コンペアキャプチャ B割込み タイマ10オーバフロー /アンダフロー割込み タイマ10コンペアキャプチャ A割込み タイマ10コンペアキャプチャ B割込み タイマ11オーバフロー /アンダフロー割込み タイマ11コンペアキャプチャ A割込み タイマ11コンペアキャプチャ B割込み タイマ12オーバフロー /アンダフロー割込み タイマ12コンペアキャプチャ A割込み タイマ12コンペアキャプチャ B割込み タイマ13オーバフロー /アンダフロー割込み タイマ13コンペアキャプチャ A割込み タイマ13コンペアキャプチャ B割込み

- タイマ14アンダフロー割込み
- タイマ15アンダフロー割込み
- タイマ16アンダフロー割込み
- タイマ17アンダフロー割込み
- < シリアル割込み >
 - シリアル0送信割込み
 - シリアル0受信割込み
 - シリアル1送信割込み
 - シリアル1受信割込み
 - シリアル2送信割込み
 - シリアル2受信割込み
- < PWM >
 - PWM0オーバフロー割込み
 - PWM0アンダフロー割込み
 - PWM1オーバフロー割込み
 - PWM1アンダフロー割込み
- < A/D割込み >
 - A/D0変換終了割込み
 - A/D0変換終了B割込み
 - A/D1変換終了割込み
 - A/D1変換終了B割込み
 - A/D2変換終了割込み
- 外部割込み(レベル割込み) 9本
 - 割込み端子 : IRQ00 ~ IRQ08
 - 割込み検出条件 : 片エッジ(立上がりエッジ、立下がりエッジ)検出、
両エッジ検出、"H"レベル検出、"L"レベル検出
いずれの検出条件においてもノイズフィルタで
フィルタリングが可能
- タイマカウンタ
 - 8ビットタイマ 12本
 - 16ビットタイマ 6本
 - タイマ0(8ビットタイマ)
 - ・インターバルタイマ
 - ・カウントクロックソース
10CLK、10CLK/8、10CLK/32、10CLK/128、タイマ1アンダフロー、
タイマ2アンダフロー
 - タイマ1(8ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、
カスケード接続機能
 - ・カウントクロックソース
10CLK、10CLK/8、10CLK/32、TM1I0端子入力、タイマ0アンダフロー、
タイマ2アンダフロー
 - タイマ2(8ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、
カスケード接続機能
 - ・カウントクロックソース
10CLK、10CLK/8、10CLK/32、10CLK/128、タイマ0アンダフロー、
タイマ1アンダフロー、TM2I0端子入力
 - タイマ3(8ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、
カスケード接続機能
 - ・カウントクロックソース
10CLK、10CLK/8、10CLK/32、TM3I0端子入力、
タイマ0アンダフロー、タイマ1アンダフロー、タイマ2アンダフロー

- タイマ4(8ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM4IO端子入力、
タイマ5アンダフロー、タイマ6アンダフロー
- タイマ5(8ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、
カスケード接続機能
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、TM5IO端子入力、タイマ4アンダフロー、
タイマ6アンダフロー
- タイマ6(8ビットタイマ)
 - ・インターバルタイマ、カスケード接続機能
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、
タイマ4アンダフロー、タイマ5アンダフロー
- タイマ7(8ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、
カスケード接続機能
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、TM7IO端子入力、タイマ4アンダフロー
タイマ5アンダフロー、タイマ6アンダフロー
- タイマ8(16ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、PWM出力、
インプットキャプチャ、ワンショット出力、外部トリガ起動
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/64、TM8BIO端子入力、タイマ2アンダフロー
- タイマ9(16ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、PWM出力、
インプットキャプチャ、ワンショット出力、外部トリガ起動
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/64、TM9BIO端子入力、タイマ3アンダフロー
- タイマ10(16ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、PWM出力、
インプットキャプチャ、ワンショット出力、外部トリガ起動
 - ・カウントクロックソース
IOCLK、IOCLK/8、TM10BIO端子入力、タイマ0アンダフロー、
タイマ1アンダフロー
- タイマ11(16ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、PWM出力、
インプットキャプチャ、ワンショット出力、外部トリガ起動
 - ・カウントクロックソース
IOCLK、IOCLK/8、TM11IO端子入力、タイマ4アンダフロー、
タイマ5アンダフロー
- タイマ12(16ビットタイマ)
 - ・インターバルタイマ、トリガ起動相補3相PWM、AD変換スタート
 - ・カウントクロックソース
MCLK、MCLK/8、IOCLK、IOCLK/8、タイマ6アンダフロー、
タイマ7アンダフロー
- タイマ13(16ビットタイマ)
 - ・インターバルタイマ、トリガ起動相補3相PWM、AD変換スタート
 - ・カウントクロックソース
MCLK、MCLK/8、IOCLK、IOCLK/8、タイマ6アンダフロー、
タイマ7アンダフロー
- タイマ14(8ビットタイマ)

- ・インターバルタイマ、ポーレートタイマ
- ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、タイマ15アンダフロー、
タイマ16アンダフロー
- タイマ15(8ビットタイマ)
 - ・インターバルタイマ、ポーレートタイマ、カスケード接続機能
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、タイマ14アンダフロー、タイマ16アンダフロー
- タイマ16(8ビットタイマ)
 - ・インターバルタイマ、ポーレートタイマ、カスケード接続機能
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、タイマ14アンダフロー、
タイマ15アンダフロー
- タイマ17(8ビットタイマ)
 - ・インターバルタイマ、タイマパルス出力、イベントカウント、
カスケード接続機能
 - ・カウントクロックソース
IOCLK、IOCLK/8、IOCLK/32、TM1710端子入力、
タイマ14アンダフロー、タイマ15アンダフロー、タイマ16アンダフロー

ウォッチドッグタイマ

検出時間 6.55 ms ~ 1677.72 ms (発振周波数10 MHz時)
検出時にノンマスクابل割込みが発生
暴走2回検出時に強制的にLSI内部でハードリセット

A/Dコンバータ

A/D0

- ・分解能 10ビット
- ・最小変換時間 1 μ s
- ・チャンネル数 6本 (ADIN00 ~ ADIN05)
- ・相補3相PWM周期と16ビットタイマに同期したA/D変換スタートトリガ

A/D1

- ・分解能 10ビット
- ・最小変換時間 1 μ s
- ・チャンネル数 8本 (ADIN02 ~ ADIN09)
- ・相補3相PWM周期と16ビットタイマに同期したA/D変換スタートトリガ

A/D2

- ・分解能 10ビット
- ・最小変換時間 1 μ s
- ・チャンネル数 10本 (ADIN06 ~ ADIN15)
- ・相補3相PWM周期と16ビットタイマに同期したA/D変換スタートトリガ

相補3相PWM出力 2系統

- ・最小分解能 33.3 nsec
- ・三角波、のこぎり波に対応
- ・デッドタイム挿入回路内蔵
- ・ダブルバッファによりPWM動作中にレジスタ書換え可能
- ・外部割込みに対応したPWM出力保護回路
- ・出力タイミング可変機能

シリアルインタフェース 3系統

シリアル0(全二重UART/同期式シリアルインタフェース)

同期式シリアルインタフェース

- ・オーバランエラー検出
- ・転送クロックソース
タイマ14アンダフローの1/2、1/16、タイマ15アンダフローの1/2、1/16、
タイマ16アンダフローの1/2、1/16、SBT0端子
- ・転送先頭ビット指定、7～8ビットの任意転送可能
- ・最大転送レート：3.0 MHz

全二重UART

- ・パリティエラー、オーバランエラー、フレーミングエラー検出
- ・転送クロックソース
タイマ14アンダフローの1/16、タイマ15アンダフローの1/16、
タイマ16アンダフローの1/16
- ・転送先頭ビット指定、7～8ビットの任意転送可能
- ・連続送信、連続受信、連続送受信が可能
- ・最大転送レート：375 kbps

シリアル1(全二重UART/同期式シリアルインタフェース)

同期式シリアルインタフェース

- ・オーバランエラー検出
- ・転送クロックソース
タイマ14アンダフローの1/2、1/16、タイマ15アンダフローの1/2、1/16、
タイマ16アンダフローの1/2、1/16、SBT1端子
- ・転送先頭ビット指定、7～8ビットの任意転送可能
- ・最大転送レート：3.0 MHz

全二重UART

- ・パリティエラー、オーバランエラー、フレーミングエラー検出
- ・転送クロックソース
タイマ14アンダフローの1/16、タイマ15アンダフローの1/16、
タイマ16アンダフローの1/16
- ・転送先頭ビット指定、7～8ビットの任意転送可能
- ・連続送信、連続受信、連続送受信が可能
- ・最大転送レート：375 kbps

シリアル2(全二重UART/同期式シリアルインタフェース)

同期式シリアルインタフェース

- ・オーバランエラー検出
- ・転送クロックソース
タイマ14アンダフローの1/2、1/4、1/16、1/64、
タイマ15アンダフローの1/2、1/4、1/16、1/64、
タイマ16アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4、SBT2端子
- ・転送先頭ビット指定、2～8ビットの任意転送可能
- ・連続送信、連続受信、連続送受信が可能
- ・最大転送レート：5.0 Mbps

全二重UART

- ・パリティエラー、オーバランエラー、フレームエラー検出
- ・転送クロックソース
タイマ14アンダフローの1/32、1/64、1/256、1/1024
タイマ15アンダフローの1/32、1/64、1/256、1/1024
タイマ16アンダフローの1/32、1/64、1/256、1/1024
IOCLK/32、IOCLK/64
- ・転送先頭ビット指定、7～8ビットの任意転送可能
- ・連続送信、連続受信、連続送受信が可能
- ・最大転送レート：300 kbps

レギュレータ レギュレータを搭載しており、5 V単一電源での使用が可能

電源電圧検知回路 (オートリセット回路)

検知レベル 3.6 V~4.3 V

電源電圧が検知レベル以下の時、リセットを発生

ポート/端子	入出力ポート	61本
	モータ制御出力兼用	12本
	外部割込み兼用	9本
	A/Dコンバータ入力兼用	16本
	特殊端子	19本
	リセット入力端子	1本
	発振端子	2本
	テスト端子	4本
	電源端子	10本
	N.C端子	2本

パッケージ LQFP80 (14 mm角、0.65 mmピッチ、ハロゲンフリー *)

コード名 LQFP080-P-1414E

*Panasonic半導体のハロゲンフリー製品とは、封止樹脂およびインターポーザが下記基準を満たす半導体製品を指します。

- 臭素 : 900 ppm以下
- 塩素 : 900 ppm以下
- 臭素+塩素 : 1500 ppm以下

上記の基準は、IEC61249-2-21において掲げられている数値に準拠しています。
アンチモンおよびその化合物は意図的に添加していません。

1.3 端子

1.3.1 端子接続図

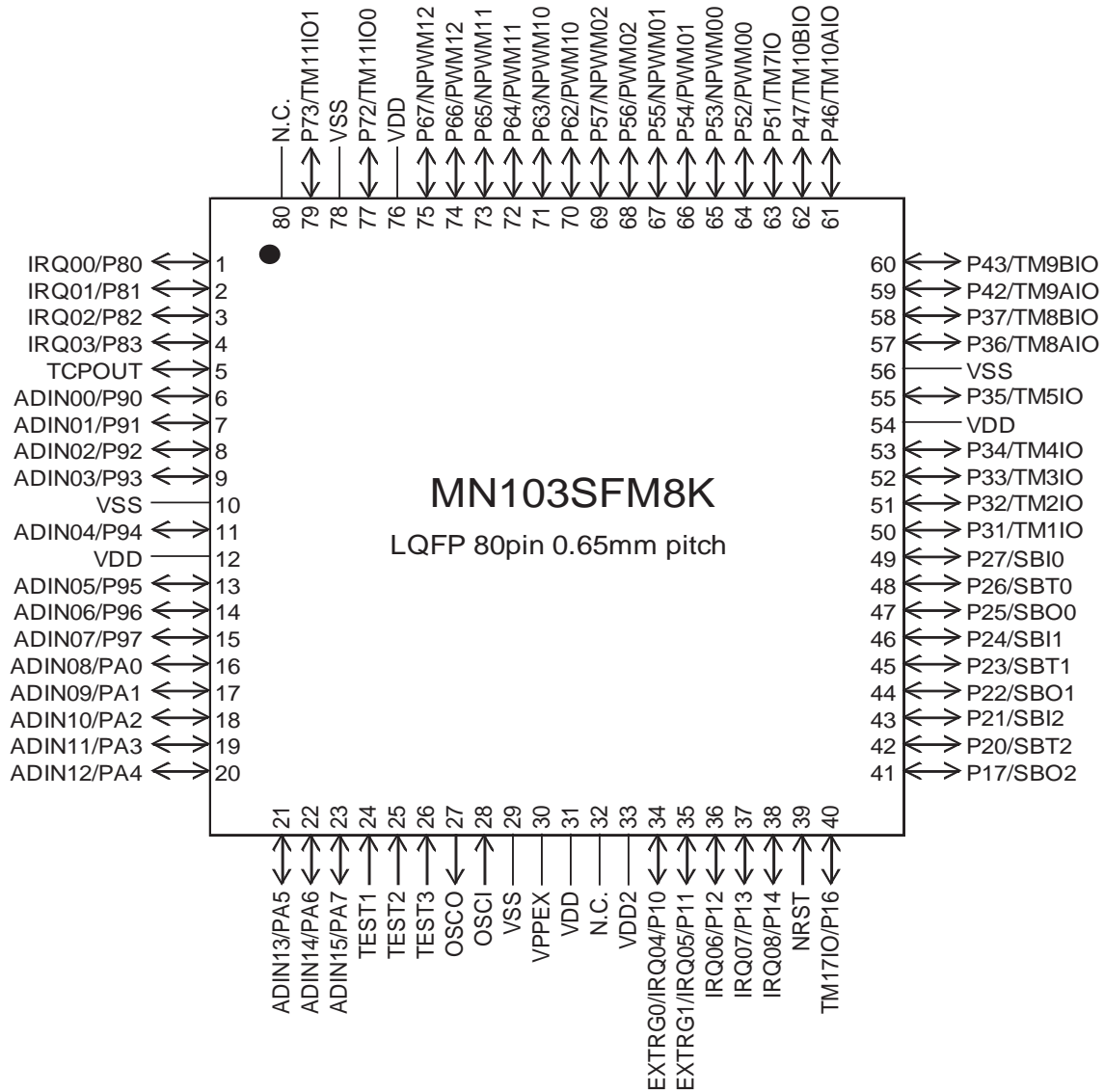


図1.3.1 端子接続図

1.3.2 端子仕様

表 1.3.1 端子仕様

端子名	特殊機能名	入出力	方向制御	端子制御	機能内容
NRST	-	in	-	-	リセット入力
P10	IRQ04/EXTRG0	in/out	P10D	P10R	外部割込み入力4/オンボードデバッグ用トリガ端子0
P11	IRQ05/EXTRG1	in/out	P11D	P11R	外部割込み入力5/オンボードデバッグ用トリガ端子1
P12	IRQ06	in/out	P12D	P12R	外部割込み入力6
P13	IRQ07	in/out	P13D	P13R	外部割込み入力7
P14	IRQ08	in/out	P14D	P14R	外部割込み入力8
P16	TM17I0	in/out	P16D	P16R	タイマ17入出力
P17	SB02	in/out	P17D	P17R	シリアル2送信データ出力
P20	SBT2	in/out	P20D	P20R	シリアル2クロック入出力
P21	SB12	in/out	P21D	P21R	シリアル2受信データ入力
P22	SB01	in/out	P22D	P22R	シリアル1送信データ出力
P23	SBT1	in/out	P23D	P23R	シリアル1クロック入出力
P24	SB11	in/out	P24D	P24R	シリアル1受信データ入力
P25	SB00	in/out	P25D	P25R	シリアル0送信データ出力
P26	SBT0	in/out	P26D	P26R	シリアル0クロック入出力
P27	SB10	in/out	P27D	P27R	シリアル0受信データ入力
P31	TM1I0	in/out	P31D	P31R	タイマ1入出力
P32	TM2I0	in/out	P32D	P32R	タイマ2入出力
P33	TM3I0	in/out	P33D	P33R	タイマ3入出力
P34	TM4I0	in/out	P34D	P34R	タイマ4入出力
P35	TM5I0	in/out	P35D	P35R	タイマ5入出力
P36	TM8A10	in/out	P36D	P36R	タイマ8A入出力
P37	TM8B10	in/out	P37D	P37R	タイマ8B入出力
P42	TM9A10	in/out	P42D	P42R	タイマ9A入出力
P43	TM9B10	in/out	P43D	P43R	タイマ9B入出力
P46	TM10A10	in/out	P46D	P46R	タイマ10A入出力
P47	TM10B10	in/out	P47D	P47R	タイマ10B入出力
P51	TM7I0	in/out	P51D	P51R	タイマ7入出力
P52	PWM00	in/out	P52D	P52R	3相PWM0信号出力0
P53	NPWM00	in/out	P53D	P53R	3相PWM0信号反転出力0
P54	PWM01	in/out	P54D	P54R	3相PWM0信号出力1
P55	NPWM01	in/out	P55D	P55R	3相PWM0信号反転出力1
P56	PWM02	in/out	P56D	P56R	3相PWM0信号出力2
P57	NPWM02	in/out	P57D	P57R	3相PWM0信号反転出力2
P62	PWM10	in/out	P62D	P62R	3相PWM1信号出力0
P63	NPWM10	in/out	P63D	P63R	3相PWM1信号反転出力0
P64	PWM11	in/out	P64D	P64R	3相PWM1信号出力1
P65	NPWM11	in/out	P65D	P65R	3相PWM1信号反転出力1
P66	PWM12	in/out	P66D	P66R	3相PWM1信号出力2
P67	NPWM12	in/out	P67D	P67R	3相PWM1信号反転出力2
P72	TM11I00	in/out	P72D	P72R	タイマ11入出力0
P73	TM11I01	in/out	P73D	P73R	タイマ11入出力1
P80	IRQ00	in/out	P80D	P80R	外部割込み入力0
P81	IRQ01	in/out	P81D	P81R	外部割込み入力1
P82	IRQ02	in/out	P82D	P82R	外部割込み入力2
P83	IRQ03	in/out	P83D	P83R	外部割込み入力3
P90	ADIN00	in/out	P90D	P90R	ADアナログ信号入力0
P91	ADIN01	in/out	P91D	P91R	ADアナログ信号入力1
P92	ADIN02	in/out	P92D	P92R	ADアナログ信号入力2
P93	ADIN03	in/out	P93D	P93R	ADアナログ信号入力3
P94	ADIN04	in/out	P94D	P94R	ADアナログ信号入力4
P95	ADIN05	in/out	P95D	P95R	ADアナログ信号入力5
P96	ADIN06	in/out	P96D	P96R	ADアナログ信号入力6
P97	ADIN07	in/out	P97D	P97R	ADアナログ信号入力7

端子名	特殊機能名	入出力	方向制御	端子制御	機能内容
PA0	ADIN08	in/out	PA0D	PA0R	ADアナログ信号入力8
PA1	ADIN09	in/out	PA1D	PA1R	ADアナログ信号入力9
PA2	ADIN10	in/out	PA2D	PA2R	ADアナログ信号入力10
PA3	ADIN11	in/out	PA3D	PA3R	ADアナログ信号入力11
PA4	ADIN12	in/out	PA4D	PA4R	ADアナログ信号入力12
PA5	ADIN13	in/out	PA5D	PA5R	ADアナログ信号入力13
PA6	ADIN14	in/out	PA6D	PA6R	ADアナログ信号入力14
PA7	ADIN15	in/out	PA7D	PA7R	ADアナログ信号入力15

1.3.3 端子機能の一覧

表 1.3.2 端子機能一覧

端子名	端子 No.	入出力	兼用端子	名称	機能
VDD VDD VDD VDD	12 31 54 76	-	-	電源供給端子	5 V用デジタルI/O用電源端子 すべての端子に5 Vを印加し、VDD端子とVSS端子間に10 μ F以上のコンデンサを接続してください。(端子近傍に設置) VDD-VSS端子間の静電容量の合計値がVDD2-VSS端子間の10倍以上の静電容量となるようにコンデンサを配置することを推奨します。
VDD2	33	-	-	電源供給端子	1.8 V用デジタルI/O用電源端子 すべてのVDD2端子とVSS端子間に1 μ F以上のコンデンサを接続してください。(端子近傍に設置)
VSS VSS VSS VSS	10 29 56 78	-	-	電源供給端子	デジタル用GND
VPPEX	30	-	-	電源供給端子	フラッシュ EEPROM用電源。VDDと接続してください。
OSCI OSCO	28 27	入力 出力	-	クロック入力端子 クロック出力端子	セラミック発振子または水晶発振子を拡張するかOSCIにクロックを入力してください。
NRST	39	入力	-	リセット端子 (負論理)	電源投入時のリセットを行うための端子。 プルアップ抵抗を内蔵しています。本端子を"L"レベルにすると、LSIの内部状態が初期化されます。この後、入力を"H"レベルにするとリセットは解除され、ハードウェアによる発振安定時間を経て、リセット処理が実行されます。NRST端子とVSS端子間に0.1 μ F以上のコンデンサを接続してください。
P10 P11 P12 P13 P14 P16 P17	34 35 36 37 38 40 41	入出力	IRQ04/EXTRG0 IRQ05/EXTRG1 IRQ06 IRQ07 IRQ08 TM7 I/O SB02	入出力ポート1	7ビットのCMOS入出力ポートです。 P1DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P1PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P10~P14,P16,P17入力モードでプルアップ抵抗なしとなります。
P20 P21 P22 P23 P24 P25 P26 P27	42 43 44 45 46 47 48 49	入出力	SBT2 SB I2 SB01 SBT1 SB I1 SB00 SBT0 SB I0	入出力ポート2	8ビットのCMOS入出力ポートです。 P2DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P2PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P20~P27入力モードでプルアップ抵抗なしとなります。
P31 P32 P33 P34 P35 P36 P37	50 51 52 53 55 57 58	入出力	TM1 I/O TM2 I/O TM3 I/O TM4 I/O TM5 I/O TM8A I/O TM8B I/O	入出力ポート3	7ビットのCMOS入出力ポートです。 P3DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P3PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P31~P37入力モードでプルアップ抵抗なしとなります。
P42 P43 P46 P47	59 60 61 62	入出力	TM9A I/O TM9B I/O TM10A I/O TM10B I/O	入出力ポート4	4ビットのCMOS入出力ポートです。 P4DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P4PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P42,P43,P46,P47入力モードでプルアップ抵抗なしとなります。

端子名	端子 No.	入出力	兼用端子	名称	機能
P51 P52 P53 P54 P55 P56 P57	63 64 65 66 67 68 69	入出力	TM7 I0 PWM00 NPWM00 PWM01 NPWM01 PWM02 NPWM02	入出力ポート5	7ビットのCMOS入出力ポートです。 P5DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P5PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P51～P57入力モードでプルアップ抵抗なしとなります。
P62 P63 P64 P65 P66 P67	70 71 72 73 74 75	入出力	PWM10 NPWM10 PWM11 NPWM11 PWM12 NPWM12	入出力ポート6	6ビットのCMOS入出力ポートです。 P6DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P6PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P62～P67入力モードでプルアップ抵抗なしとなります。
P72 P73	77 79	入出力	TM11 I00 TM11 I01	入出力ポート7	2ビットのCMOS入出力ポートです。 P7DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P7PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P72, P73入力モードでプルアップ抵抗なしとなります。
P80 P81 P82 P83	1 2 3 4	入出力	IRQ00 IRQ01 IRQ02 IRQ03	入出力ポート8	4ビットのCMOS入出力ポートです。 P8DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P8PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P80～P83入力モードでプルアップ抵抗なしとなります。
P90 P91 P92 P93 P94 P95 P96 P97	6 7 8 9 11 13 14 15	入出力	ADIN00 ADIN01 ADIN02 ADIN03 ADIN04 ADIN05 ADIN06 ADIN07	入出力ポート9	8ビットのCMOS入出力ポートです。 P9DIRレジスタにより、1ビット単位で入力/出力の設定が可能です。P9PLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、P90～P97入力モードでプルアップ抵抗なしとなります。
PA0 PA1 PA2 PA3 PA4 PA5 PA6 PA7	16 17 18 19 20 21 22 23	入出力	ADIN08 ADIN09 ADIN10 ADIN11 ADIN12 ADIN13 ADIN14 ADIN15	入出力ポートA	8ビットのCMOS入出力ポートです。 PADIRレジスタにより、1ビット単位で入力/出力の設定が可能です。PAPLUレジスタにて1ビット単位でプルアップ抵抗の有無が選択できます。 リセット時は、PA0～PA7入力モードでプルアップ抵抗なしとなります。
SB00 SB01 SB02	47 44 41	出力	P25 P22 P17	シリアル インタフェース 送信データ出力端子	シリアルインタフェース0～2の送信データ出力端子です。 P1DIRレジスタ、P2DIRレジスタで出力を選択し、P1MDレジスタ、P2MDレジスタでシリアル端子機能を選択してください。 シリアルインタフェースを使用しない時は、通常の入出力端子として使用できます。
SB10 SB11 SB12	49 46 43	入力	P27 P24 P21	シリアル インタフェース 受信データ入力端子	シリアルインタフェース0～2の受信データ入力端子です。P2PLUレジスタでプルアップ抵抗の有無が選択できます。P2DIRレジスタで入力を選択してください。 シリアルインタフェースを使用しない時は、通常の入出力端子として使用できます。
SBT0 SBT1 SBT2	48 45 42	入出力	P26 P23 P20	シリアル インタフェース クロック入出力端子	シリアルインタフェース0～2のクロック入出力端子です。P2PLUレジスタでプルアップ抵抗の有無が選択できます。P2DIRレジスタで入力/出力を選択し、P2MDレジスタでシリアル端子機能を選択してください。 シリアルインタフェースを使用しない時は、通常の入出力端子として使用できます。
TM1 I0 TM2 I0 TM3 I0 TM4 I0 TM5 I0 TM7 I0 TM17 I0	50 51 52 53 55 63 40	入出力	P31 P32 P33 P34 P35 P51 P16	タイマ入出力端子	8ビットタイマ1～5, 7, 17のイベントカウント入力、タイマパルス出力端子です。イベントカウント入力時は、P1, 3, 5DIRレジスタにより入力モードを選択します。入力モード時は、P1, 3, 5PLUレジスタでプルアップ抵抗の有無の指定ができます。 タイマパルス出力時は、P1, 3, 5MDレジスタでタイマ出力端子を選択、P1, 3, 5DIRレジスタで出力モードに設定します。 タイマ入出力端子として使用しない時は、通常の入出力端子として使用できます。

端子名	端子 No.	入出力	兼用端子	名称	機能
TM8A10 TM8B10 TM9A10 TM9B10 TM10A10 TM10B10 TM11100 TM11101	57 58 59 60 61 62 77 79	入出力	P36 P37 P42 P43 P46 P47 P72 P73	タイマ入出力端子	16ビットタイマ8～11のイベントカウント入力、タイマ出力、PWM出力端子です。 イベントカウント入力時は、P3,4,7DIRレジスタにより入力モードを選択します。入力モード時は、P3,4,7PLUレジスタでプルアップ抵抗の有無の指定ができます。タイマ出力、PWM出力時は、P3,4,7MDレジスタでタイマ出力端子を選択、P3,4,7DIRレジスタで出力モードに設定します。 タイマ入出力端子として使用しない時は、通常の入出力端子として使用できます。
TM11100 TM11101	77 79	出力	P72 P73	PWM出力端子	16ビットタイマ11のモータ制御PWM信号出力端子です。16ビットタイマ11のPWM信号を2端子に同時出力します。PWM出力時は、P7MDレジスタでタイマ出力端子を選択、P7DIRレジスタで出力モードに設定します。タイマ出力端子として使用しない時は、通常の入出力端子として使用できます。
ADIN00 ADIN01 ADIN02 ADIN03 ADIN04 ADIN05 ADIN06 ADIN07 ADIN08 ADIN09 ADIN10 ADIN11 ADIN12 ADIN13 ADIN14 ADIN15	6 7 8 9 11 13 14 15 16 17 18 19 20 21 22 23	入力	P90 P91 P92 P93 P94 P95 P96 P97 PA0 PA1 PA2 PA3 PA4 PA5 PA6 PA7	アナログ入力端子	3系統計16チャンネルの10ビットA/Dコンバータのアナログ入力端子です。アナログ入力として使用しない時は、通常の入出力端子として使用できません。
IRQ00 IRQ01 IRQ02 IRQ03 IRQ04 IRQ05 IRQ06 IRQ07 IRQ08	1 2 3 4 34 35 36 37 38	入力	P80 P81 P82 P83 P10/EXTRG0 P11/EXTRG1 P12 P13 P14	外部割込み入力端子	外部割込みの入力端子です。有効エッジが選択可能です。エッジ検出レジスタ(IRQEDGESEL)により両エッジを検出するかしないかを設定し、両エッジ検出しない設定とした時は、外部割込み条件指定レジスタ(EXTMD0、EXTMD1)により立ち上がりエッジ、立ち下がりエッジ、Hレベル、Lレベルから選択します。 両エッジ検出する設定とした時は、外部割込み条件設定レジスタにより、立ち上がりエッジを選択します。
PWM00 PWM01 PWM02 PWM10 PWM11 PWM12	64 66 68 70 72 74	出力	P52 P54 P56 P62 P64 P66	モータ制御PWM信号出力端子	モータ制御3相PWM信号出力端子です。 P5,6MDレジスタでPWM信号出力端子を選択、PWMOFFレジスタでPWM出力に設定します。 PWM信号出力端子として使用しない時は、通常の入出力端子として使用できます。
NPWM00 NPWM01 NPWM02 NPWM11 NPWM12 NPWM13	65 67 69 71 73 75	出力	P53 P55 P57 P63 P65 P67	モータ制御PWM信号反転出力端子	モータ制御3相PWM信号反転出力端子です。 P5,6MDレジスタでPWM信号出力端子を選択、PWMOFFレジスタでPWM出力に設定します。 PWM信号出力端子として使用しない時は、通常の入出力端子として使用できます。
TCPOUT	5	入力	-	テスト信号入力	テスト信号入力端子です。VSS固定してください。
TEST1 TEST2 TEST3	24 25 26	入力	-	テスト信号入力	テスト信号入力端子です。 1 k Ω 以上の抵抗でプルアップしてください。



VPPEXは、フラッシュ EEPROM書き換え用電源です。必ずVDDと同電位としてください。

1.4 ブロック機能概要

1.4.1 ブロック図

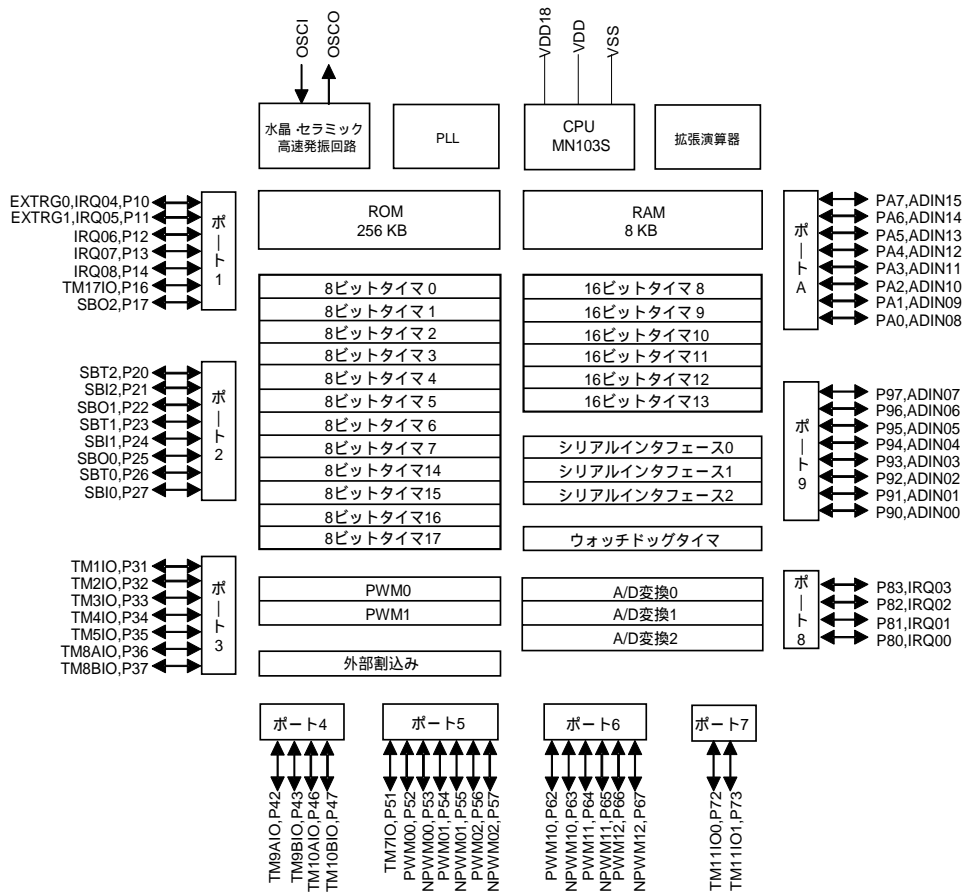


図1.4.1 ブロック図

1.5 電気的特性

このLSI説明書は標準的な仕様について述べています。

本電気的特性は暫定です。予告なく変更する場合がありますので、LSIをご使用の際は、当社営業所まで製品規格をお求めください。

種別	CMOS集積回路
用途	汎用
機能	CMOS 32ビット 1チップ マイクロコンピュータ

1.5.1 絶対最大定格

$V_{SS} = 0.0 \text{ V}$

項目	記号	定格	単位	
A1	外部用電源電圧	V_{DD}	-0.3 ~ 7.0	V
A2	内部用電源電圧	V_{DD2}	-0.3 ~ 2.5	V
A3	入力端子電圧	V_{I1}	-0.3 ~ $V_{DD}+0.3$ (上限7.0)	V
A4	入出力端子電圧	V_{IO}	-0.3 ~ $V_{DD}+0.3$ (上限7.0)	V
A5	尖頭出力電流	I_{OPEAK}	±15	mA
A6	平均出力電流	I_{OAVG}	±8	mA
A7	動作周囲温度	T_{OPR}	-40 ~ 85	
A8	保存温度	T_{STG}	-40 ~ 125	
A9	許容損失	P_D	500	mW

注) 絶対最大定格は、本LSIに印加しても破損を生じない許容値です。動作を保証するものではありません。
平均出力電流の定格は、いかなる100 msの期間に対しても適用されます。

注) 内部電源電圧を本LSI以外の回路に供給することはできません。

1.5.2 動作条件

$V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$

項目	記号	条件	許容値			単位	
			最小	標準	最大		
B1	外部用電源電圧1	V_{DD}	-	V_{RST}	5.0	5.5	V

注) 電源検出レベル V_{RST} については、オトリセット回路特性を参照して下さい。

$V_{DD} = V_{RST} \sim 5.5\text{ V}$ 、 $V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$

発振子入力

項目	記号	条件	許容値			単位	
			最小	標準	最大		
B2	入力周波数	F_{OSC}	-	5.0	-	15	MHz
B3	内蔵フィードバック抵抗	R_{FB}	-	-	1.2	-	$M\Omega$

注) 容量値は使用する発振子により異なります。使用する発振子メーカーにご相談ください。

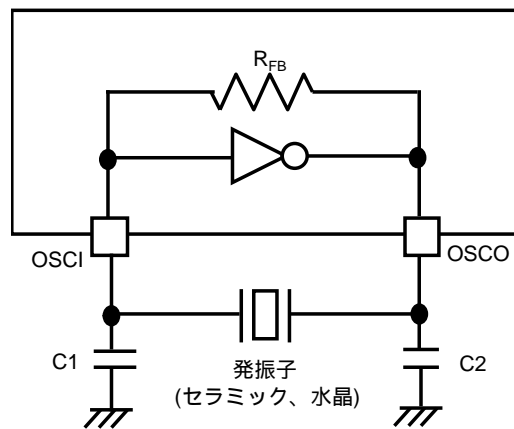


図1.5.1 発振子入力

$V_{DD} = 5.0\text{ V}$
 $V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$

項目	記号	条件	許容値			単位
			最小	標準	最大	
外部クロック入力 OSC1 (OSCOは開放)						
B4	クロック周波数	Fcp	5.0	-	15.0	MHz
B5	ハイレベルパルス幅	twh1	25.0	-	-	ns
B6	ローレベルパルス幅	twl1	25.0	-	-	ns
B7	立上がり時間	twr1	-	-	5.0	ns
B8	立下がり時間	twf1	-	-	5.0	ns

注) クロックデューティ比は、45%~55%としてください。

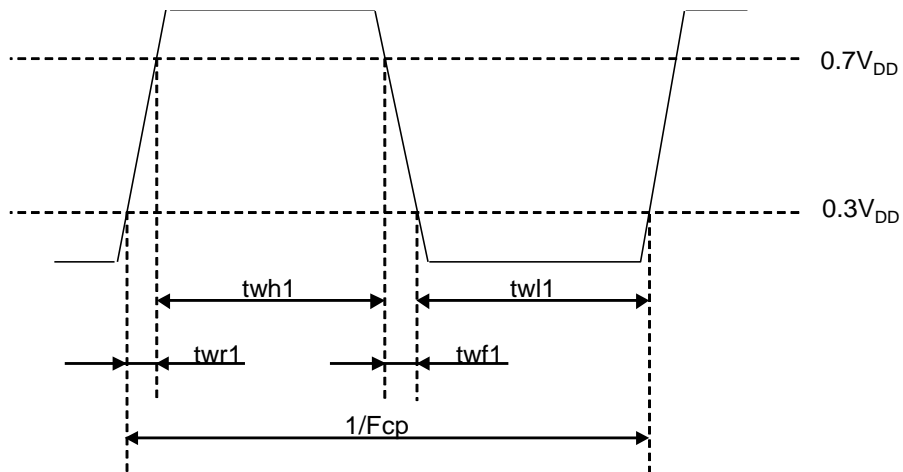


図1.5.2 OSC1タイミングチャート

1.5.3 DC特性

DC 特性

$V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$
出力端子開放

項目	記号	条件	許容値		単位
			標準	最大	
C1	NORMALモード時電源電流	$V_{DD} = 5.0\text{ V}$ $F_{OSC} = 10\text{ MHz}$ 、PLL使用 MCLK= 60 MHz、IOCLK=30 MHz 周辺回路は停止	20	-	mA
C2			$V_{DD} = 5.0\text{ V}$ $F_{OSC} = 10\text{ MHz}$ 、PLL使用 MCLK= 60 MHz、IOCLK=30 MHz 周辺回路動作時	-	35

$V_{DD} = 5.0\text{ V}$
 $V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$

項目	記号	条件	許容値			単位	
			最小	標準	最大		
入力端子1 NRST、TEST1、TEST2							
C3	入力電圧ハイレベル	V_{IH1}	-	$V_{DD} \times 0.7$	-	V_{DD}	V
C4	入力電圧ローレベル	V_{IL1}	-	V_{SS}	-	$V_{DD} \times 0.3$	V
C5	内蔵プルアップ抵抗	R_{I01}	$V_{DD} = 5.0\text{ V}$ 、 $V_{IN} = 0\text{ V}$	15	30	60	k Ω

$V_{DD} = 5.0\text{ V}$
 $V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$

項目	記号	条件	許容値			単位	
			最小	標準	最大		
入力端子2 VPPEX、TEST3							
C6	入力電圧ハイレベル	V_{IH2}	-	$V_{DD} \times 0.7$	-	V_{DD}	V
C7	入力電圧ローレベル	V_{IL2}	-	V_{SS}	-	$V_{DD} \times 0.3$	V

$V_{DD} = 5.0\text{ V}$
 $V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$

項目	記号	条件	許容値			単位	
			最小	標準	最大		
入出力端子 P10～P14, P16～P17, P20～P27, P31～P37, P42～P43, P46～P47, P51～P57, P62～P67, P72～P73, P80～P83, P85, P90～P97, PA0～PA7							
C8	入力電圧ハイレベル	V_{IH4}	-	$V_{DD} \times 0.7$	-	V_{DD}	V
C9	入力電圧ローレベル	V_{IL4}	-	V_{SS}	-	$V_{DD} \times 0.3$	V
C10	入力リーク電流	I_{LK4}	-	-	-	± 5	μA
C11	内蔵プルアップ抵抗値	R_{I04}	$V_{DD} = 5.0\text{ V}, V_{IN} = 0\text{ V}$	15	30	60	$\text{k}\Omega$
C12	出力電圧ハイレベル	V_{OH4}	$V_{DD} = 5.0\text{ V}, I_{OH} = -2.5\text{ mA}$	4.5	-	-	V
C13	出力電圧ローレベル	V_{OL4}	$V_{DD} = 5.0\text{ V}, I_{OL} = 2.5\text{ mA}$	-	-	0.5	V

1.5.4 アナログ特性

$V_{DD} = 5.0\text{ V}$

$V_{SS} = 0.0\text{ V}$

$T_a = -40 \sim 85$

A/D0, A/D1, A/D2

項目	記号	条件	許容値			単位
			最小	標準	最大	
D1	分解能	-	-	-	10	ビット
D2	非直線性誤差	INLE	-	-	± 2	LSB
D3	微分直線性誤差	DNLE	-	-	± 3	LSB
D4	ゼロトランジション電圧	-	-20	-	20	mV
D5	フルスケールトランジション電圧	-	4980	-	5020	mV
D6	A/D変換時間	-	1.0	-	-	μs
D7	アナログ入力電圧	V_{IA}	V_{SS}	-	V_{DD}	V
D8	アナログ入力リーク電流	I_{IA}	-	-	± 5	μA
D9	動作時電源電流(VDD端子)	I_{AD}	-	1	-	mA

オートリセット回路

$V_{SS} = 0.0\text{ V}$

$T_a = -40 \sim 85$

項目	記号	条件	許容値			単位
			最小	標準	最大	
D10	電源電圧検知レベル1	V_{RST1}	3.6	3.95	4.3	V
D11	電源電圧検知レベル2	V_{RST2}	3.5	3.85	4.2	V
D12	電源電圧変化率	V_{DD}	0.2	-	-	ms/V

注) NRST端子とグラウンド間に0.1 μF のコンデンサを挿入してください。

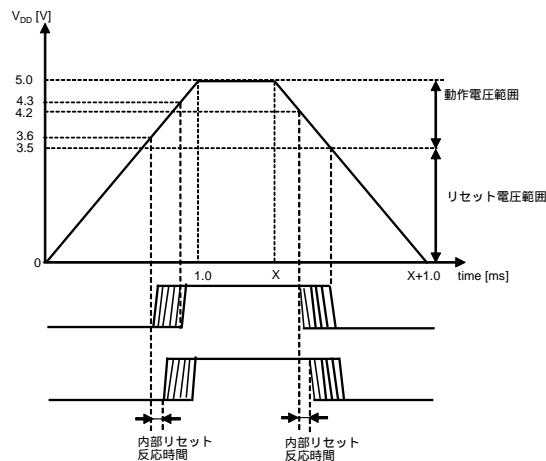


図1.5.3 オートリセット回路の特性

1.5.5 AC特性

リセット信号入力タイミング

$V_{DD} = 5.0\text{ V}$
 $V_{SS} = 0.0\text{ V}$
 $T_a = -40 \sim 85$

項目	記号	条件	許容値			単位
			最小	標準	最大	
E1	リセット信号パルス幅 (NRST)	t_{NRSTW}	-	-	-	μs

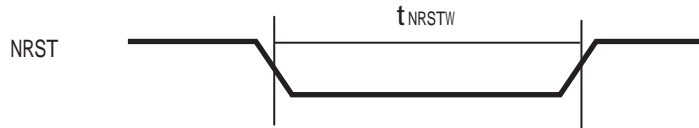


図1.5.4 リセット信号のパルス幅

1.5.6 フラッシュ EEPROM E/W特性

$V_{SS} = 0.0\text{ V}$

項目	記号	条件	許容値			単位	
			最小	標準	最大		
F1	E/W時電源電圧	V_{DDEW}	-	VRST	-	5.5	μs
F2	E/W時周囲温度	V_{OPREW}	-	-40	-	85	
F3	許容書換え回数	E_{MAX1}	大セクタ(32 KB)	1000	-	-	回
F4	許容書換え回数	E_{MAX2}	小セクタ(8 KB)	100000	-	-	回
F5	データ保持期間	T_{HOLD}	-	10	-	-	年

1.6 外形寸法図

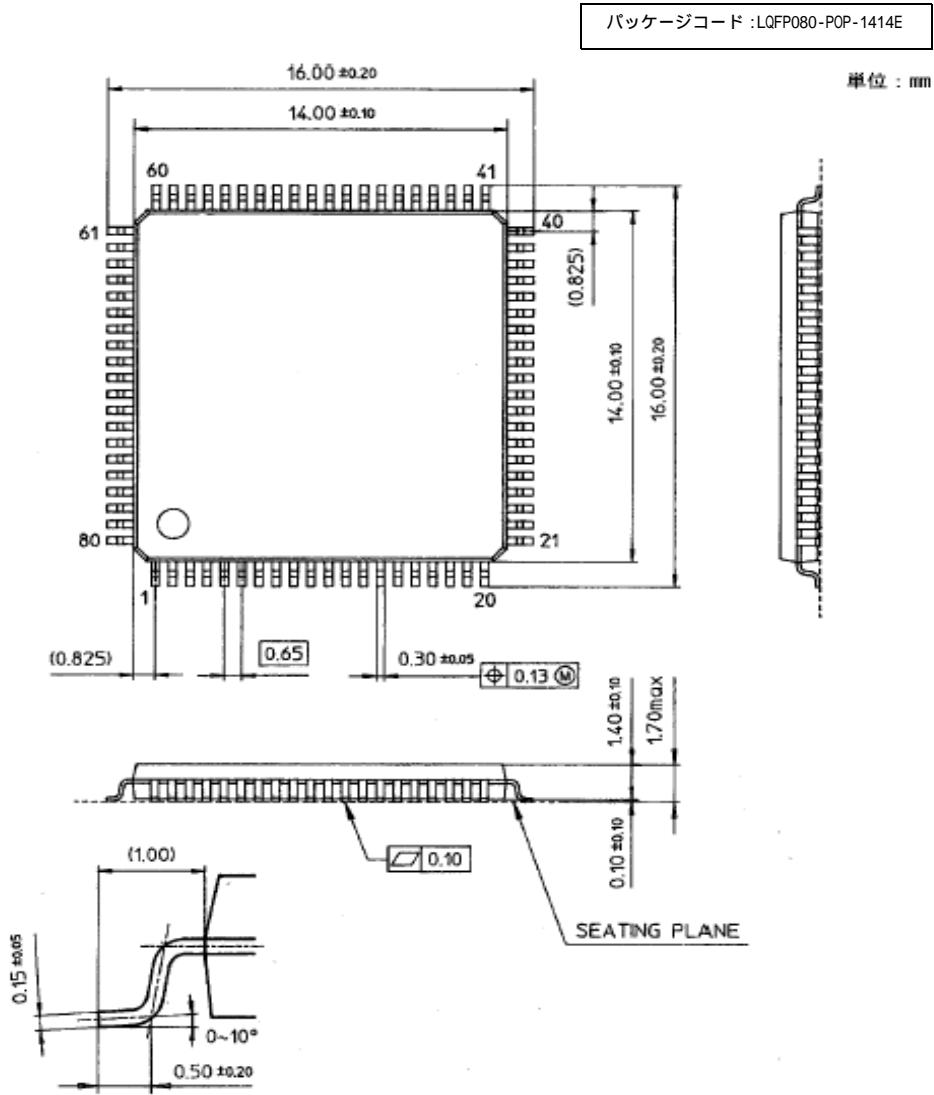


図1.6.1 外形寸法図



パッケージ外形寸法図は、変更の可能性がありますので、ご使用の際は、当社営業所まで製品規格をお求めください。

本書に記載の技術情報および半導体のご使用にあたってのお願いと注意事項

- (1) 本書に記載の製品および技術情報を輸出または非居住者に提供する場合は、当該国における法令、特に安全保障輸出管理に関する法令を遵守してください。
- (2) 本書に記載の技術情報は、製品の代表特性および応用回路例などを示したものであり、それをもってパナソニック株式会社、ヌヴォトンテクノロジージャパン株式会社または他社の知的財産権もしくはその他の権利の許諾を意味するものではありません。したがって、上記技術情報のご使用に起因して第三者所有の権利にかかわる問題が発生した場合、当社はその責任を負うものではありません。
- (3) 本書に記載の製品は、一般用途(事務機器、通信機器、計測機器、家電製品など)、もしくは、本書に個別に記載されている用途に使用されることを意図しております。
特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途 — 特定用途(車載機器、航空・宇宙用、輸送機器、交通信号機器、燃焼機器、医療機器、安全装置など)でのご使用を想定される場合は事前に当社営業窓口までご相談の上、使用条件等に関して別途、文書での取り交わしをお願いします。文書での取り交わしなく使用されたことにより発生した損害などについては、当社は一切の責任を負いません。
- (4) 本書に記載の製品および製品仕様は、改良などのために予告なく変更する場合がありますのでご了承ください。したがって、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格書または仕様書をお求め願ひ、ご確認ください。
- (5) 設計に際しては、絶対最大定格、動作保証条件(動作電源電圧、動作環境等)の範囲内でご使用いただきますようお願いいたします。特に絶対最大定格に対しては、電源投入および遮断時、各種モード切替時などの過渡状態においても、超えることのないように十分にご検討をお願いいたします。保証値を超えてご使用された場合、その後発生した機器の故障、欠陥については当社として責任を負いません。
また、保証値内のご使用であっても、半導体製品について通常予測される故障発生率、故障モードをご考慮の上、当社製品の動作が原因でご使用機器が人身事故、火災事故、社会的な損害などを生じさせない冗長設計、延焼対策設計、誤動作防止設計などのシステム上の対策を講じていただきますようお願いいたします。
- (6) 製品取扱い時、実装時およびお客様の工程内における外的要因(ESD、EOS、熱的ストレス、機械的ストレス)による故障や特性変動を防止するために、使用上の注意事項の記載内容を守ってご使用ください。分解後や実装基板から取外し後に再実装された製品に対する品質保証は致しません。
また、防湿包装を必要とする製品は、保存期間、開封後の放置時間など、個々の仕様書取り交わしの折に取り決めた条件を守ってご使用ください。
- (7) 本書に記載の製品を他社へ許可なく転売され、万が一転売先から何らかの請求を受けた場合、お客様においてその対応をご負担いただきますことをご了承ください。
- (8) 本書の一部または全部を当社の文書による承諾なしに、転載または複製することを堅くお断りいたします。